

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

04869404 **Image available**

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.: 07-162004 [JP 7162004 A]

PUBLISHED: June 23, 1995 (19950623)

INVENTOR(s): SERA KENJI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-308253 [JP 93308253]

FILED: December 08, 1993 (19931208)

ABSTRACT

PURPOSE: To form a uniform polycrystalline film in source, drain and channel regions by a method wherein a first insulating film formed on a second semiconductor layer is flattened, an ultraviolet laser beam is emitted via the first insulating film to anneal a first semiconductor layer and the second semiconductor layer and a gate electrode layer is formed.

CONSTITUTION: A polycrystalline silicon thin film 201, which is a first semiconductor layer, is deposited on a transparent insulative substrate 101 by a CVD method or the like. After the thin film 201 is patterned into the forms of source and drain electrodes, an amorphous silicon thin film 301, which is a second semiconductor layer, is deposited on the upper part of this patterned thin film 201 by a CVD method and moreover, a silicon dioxide film is deposited on the upper part of the thin film 301 as a cap film 401. A silicon film is applied on this silicon dioxide film by a spin coating and is subjected to baking. After this, an upper silica film is removed by dry etching. At this time, a projected part of the silicon dioxide film is simultaneously removed by etching and the silicon dioxide film is flattened. Accordingly, an ultraviolet laser beam 501 is emitted via the flattened film 401 and the first and second semiconductor layers are crystallized.

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12486215

Basic Patent (No,Kind,Date): JP 7162004 A2 950623 <No. of Patents: 002>

MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SERA KENJI

IPC: *H01L-029/786; H01L-021/336; H01L-021/268

CA Abstract No: *123(14)185647R; 123(14)185647R

Derwent WPI Acc No: *C 95-258882; C 95-258882

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 7162004	A2	950623	JP 93308253	A	931208	(BASIC)
JP 2546524	B2	961023	JP 93308253	A	931208	

Priority Data (No,Kind,Date):

JP 93308253 A 931208

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-162004

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
21/268	Z	9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 有 請求項の数 1 O L (全 4 頁)				

(21) 出願番号 特願平5-308253

(22) 出願日 平成5年(1993)12月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 世良 賢二

東京都港区芝五丁目7番1号 日本電気株式会社内

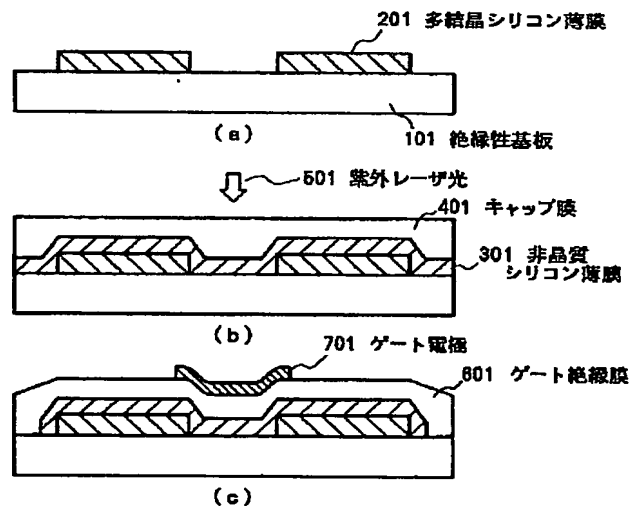
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 レーザアニール法を用いたスタガード構造薄膜トランジスタの均一性の改善

【構成】 スタガード構造薄膜トランジスタの製造方法において、レーザアニール時にキャップ膜を平坦化させることによって、ソース・ドレイン部とチャネル部のキャップ膜厚を自己整合形に変化させ、実効的レー強度を変化させる。この結果ソース・ドレイン部、チャネル部の両者とも最適条件でレーザアニールが可能になり、トランジスタ全域にわたって均一な結晶化膜が得られる。



【特許請求の範囲】

【請求項1】 スタガード型薄膜トランジスタの製造方法において、基板上にソース・ドレイン電極となる第1の半導体層を島状に形成する工程と、前記第1の半導体層を覆うように第2の半導体層を形成する工程と、該第2の半導体層上に第1の絶縁膜を形成する工程と、前記第1絶縁膜を平坦化する工程と、前記第1の絶縁膜を介して紫外レーザ光を照射することにより第1及び第2の半導体層をアニールする工程と、ゲート電極層を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、透明性絶縁基板上に形成された多結晶シリコン薄膜トランジスタの製造方法に関するものである。さらに詳しくは、エキシマレーザアニール法を用いたスタガード型薄膜トランジスタの製造方法に関するものである。

【0002】

【従来の技術】 近年ガラス基板上に薄膜能動デバイスを形成する技術は、大面積透過型液晶ディスプレイや密着型イメージセンサ等を初めとする各所に応用がめざまされ、研究が活発化している。そのなかでも多結晶シリコン薄膜トランジスタは周辺駆動回路も一体化した全薄膜化デバイスを作成できる最も有望なデバイスとして注目を集めている。特にエキシマレーザアニール法を用いた薄膜トランジスタは低温で高移動度なトランジスタを実現する手段として最も有効である。エキシマレーザアニール法は基板上に形成されたシリコン薄膜を紫外パルス光であるエキシマレーザ照射によって、瞬時的に熔融再結晶化を行う方法であり、基板に熱ダメージを与えることなく、シリコン膜のみ高温処理を行えるため特性を向上できる。またトランジスタ構造としてはスタガード構造はプレーナ構造と比較して、製造方法が簡易で低リーク電流化が図れるという特性を持つ。

【0003】 レーザアニール法を用いて従来のスタガード構造薄膜トランジスタを作製する方法を図4に示す。ガラス基板101上にソース・ドレイン電極となる多結晶シリコン薄膜201を形成する。チャンネル層となるノンドープ非晶質シリコン薄膜301、キャップ膜401をCVD法等で成膜し、エキシマレーザ照射による結晶化を行う。この多結晶シリコン膜上にゲート絶縁膜601となるシリコン酸化膜、ゲート電極701となるポリシリ層を形成し、電極パターニングを行う。ソース・ドレイン領域はイオン注入法により形成する。この方法で作製した薄膜トランジスタでは、N型、P型ともに移動度 $100\text{ cm}^2/\text{V} \cdot \text{s}$ 以上の高移動度が得られている。

【0004】 また、特開平03-033935号公報記載の発明では、チャンネルとなる部分のみキャップ膜を薄

くしレーザアニールされた時の熱の放熱効率を高めることによって、チャンネル部のみ結晶性をよくする試みがなされている。

【0005】

【発明が解決しようとする課題】 しかしながら、レーザアニール法ではレーザの最適照射強度はアニールされる薄膜の材料、膜厚に大きく依存する。スタガード構造ではソース・ドレイン領域とチャンネルを形成する領域とで半導体膜厚が異なるため両者で最適照射強度が異なり均一な多結晶膜を得られないという問題があった。この結果ソース・ドレイン領域、チャンネル領域のいずれかの部分がトランジスタ特性を制限し、特性の劣化あるいは、レーザ強度に対するマージンが小さい等の問題点があった。

【0006】 特開平03-033935号公報記載の方法を用いるとこのチャンネル部とソースドレイン部の結晶性の差をさらに増大させると言う問題点を持つ。さらにこの方法ではチャンネル部とキャップ膜の薄膜化されている部位が完全に一致できないためそのズレがTFT特性の不均一性の原因となる。

【0007】 本発明の目的は、上記課題を解決し、スタガード構造薄膜トランジスタのソースドレイン領域およびチャンネル領域の両領域で均一な多結晶膜を得ることができる薄膜トランジスタの製造方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の要旨は、スタガード型薄膜トランジスタの製造方法において、前記絶縁性基板上にソース・ドレイン電極となる第1の半導体層を島状に形成する工程と、前記第1の半導体層を覆うように第2の半導体層を形成する工程と、第2の半導体層に第1の絶縁膜を形成する工程、前記第1絶縁膜を平坦化する工程と、前記第1の絶縁膜を介して紫外レーザ光を照射することにより第1及び第2の半導体層をアニールする工程と、ゲート電極層を形成する工程とを有することを特徴とする薄膜トランジスタの作製方法を提供するところにある。

【0009】 第1の絶縁膜としては、二酸化シリコン、窒化シリコン、窒素を含有する酸化シリコン等の透明絶縁体を用いることができる。

【0010】 平坦化プロセスとしては、半導体プロセスで行われている種々の方法を用いることができる。例えば、ボロン、リンを含有する酸化膜(BPSG)形成し、高温で熱処理を行うBPSG膜形成法や、酸化膜を堆積後、有機物質をスピンコートし、その後ドライエッチングにより上部有機物質を除去すると同時に酸化膜の突起部分もエッチング除去して平坦化するエッチバック法あるいは、基板と電極間にバイアスをかけながら、スパッタ法で絶縁膜を成膜することでエッチングと堆積を同時に行い平坦化するバイアスパッタ法などを用いる

ことができる。

【0011】アニールに用いる紫外レーザー光としては、例えば、波長247nmのKrFエキシマレーザーや波長193nmのArFエキシマレーザーなどがある。

【0012】薄膜トランジスタのゲート絶縁膜として、第1の絶縁膜層をそのまま使うことも可能であるが、一度、第1の絶縁膜層を除去してから別途ゲート絶縁膜として、酸化シリコン等を形成しなおしてもよい。

【0013】

【作用】紫外レーザー光照射による結晶化方法では図2に示すように膜厚が厚くなるほど必要レーザー強度は高くなる。膜厚が厚いほど温度上昇に要する熱容量が大きくなるからである。例えばソース・ドレイン電極部(100nm)ではチャンネル部(50nm)より約30~40%高いレーザー強度を必要とする。

【0014】一方、キャップ膜である第1の絶縁膜を通してレーザー照射を行う場合、キャップ膜厚に依存して、レーザー光効率に変化する。キャップ膜厚に依存して光反射率に変化するからである。図3にシリコン上に形成したSiO₂キャップ膜厚に対する光反射率の変化を示す。本実施例のキャップ膜厚100nmの場合レーザー光(波長308nm)に対する反射率は60%程度で最大となる。キャップ膜厚が50nmになると反射率は低くなり、実効レーザー強度は30~40%高くなる。

【0015】この結果、本発明の方法では、同一レーザー強度でソース・ドレイン部、チャンネル部ともに最適アニールが可能となり均一な多結晶膜が作製できた。上記ポリシリコン膜、及びキャップ膜厚はここに掲げた数値だけでなく半導体膜厚の変化による必要強度の変化がキャップ膜厚の変化による光効率の変化により補償できるような組み合わせなら良い。

【0016】

【実施例】本発明の実施例を図面にもとづいて説明を行う。図1は本発明の実施例を示す工程図である。透明絶縁性基板101上にCVD法等により第1の半導体層である多結晶シリコン薄膜201を50nm堆積した(図1(a))。ソースドレイン電極状にパターン化した後、この上部に同じくCVD法により、第2半導体層である非晶質シリコン薄膜301を50nm、さらにその上部にキャップ膜401として、二酸化シリコンを100nm以上堆積した。この上に有機物質(シリカ)をスピンコートにより塗布し、ベークする。この後ドライエッチングにより、上部シリカを除去する。この時、二酸化シリコンとシリカが同じエッチングレートであるため、突起部分の二酸化シリコン膜が同時にエッチング除去され、平坦化される。このプロセスにより、チャンネル

上の膜厚100nm、ソース・ドレイン領域では50nmの厚さになるように平坦化した。この平坦化されたキャップ膜を介して紫外レーザー光(エキシマレーザー、波長308nm)を照射し第1及び第2の半導体層を結晶化した。

【0017】図3に示すように、キャップ膜厚50nmと100nmとでは反射率が異なり、チャンネル部より30~40%高いレーザー強度を必要とするソース・ドレイン領域で丁度、実効レーザー強度が30~40%高くなる。本実施例では、最適なキャップ膜厚が、平坦化により自己整合的に形成できるという効果がある。

【0018】次に、フッ酸によりキャップ膜を除去し、あらためて、ゲート絶縁膜、及びゲート電極を形成して、薄膜トランジスタを作製した。

【0019】本方法により結晶化した膜上にゲート絶縁膜、及びゲート電極を形成して薄膜トランジスタを作製し、従来に比べて良好な特性を得た。ここではスタガード構造薄膜トランジスタについてのみ実施例を示したが、SRAM応用をはじめとして薄膜トランジスタ下部に段差や熱容量の異なる物質を有するデバイスにおいても同様な方法を用いる事により多結晶薄膜の均一性が向上できることが確認された。

【0020】

【発明の効果】以上説明したように、本方法では、キャップ膜に平坦化プロセスを導入する事によってソース・ドレイン部とチャンネル部上のキャップ膜厚を変え、実効エネルギー強度が結晶化に必要なレーザー強度と一致するように自己整合的に変化させ均一な多結晶膜を実現した。この結果従来のスタガード構造にくらべてトランジスタ特性が改善され、レーザーアニール強度のマージンも格段に向上した。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程図

【図2】シリコン膜厚とアニールに必要な強度の関係を示した図

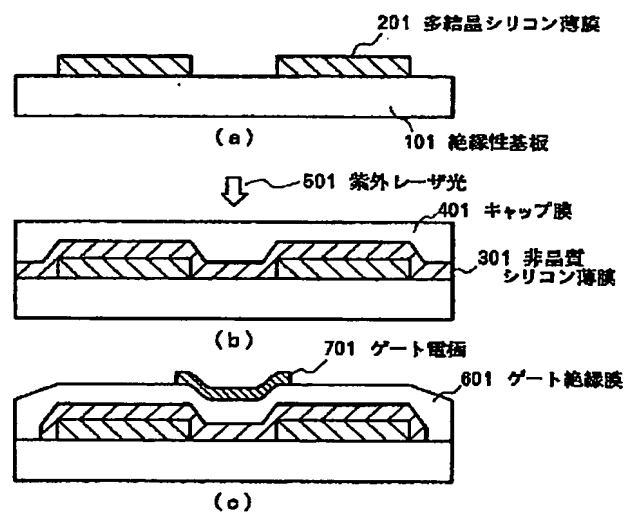
【図3】キャップ膜厚と光反射率の関係を示した図

【図4】従来の薄膜トランジスタの製造方法を示す工程図

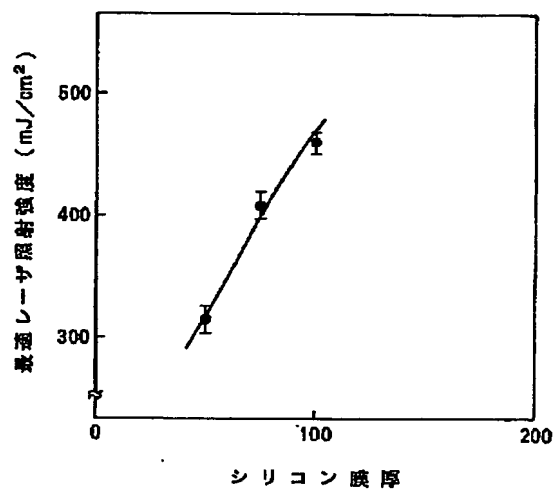
【符号の説明】

- 101 透明絶縁性基板
- 201 多結晶シリコン薄膜
- 301 非晶質シリコン薄膜
- 401 キャップ膜
- 501 紫外レーザー光
- 601 ゲート絶縁膜
- 701 ゲート電極

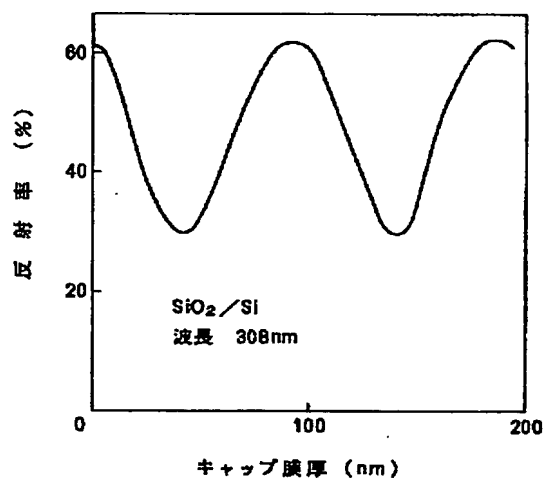
【図1】



【図2】



【図3】



【図4】

